

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06197128 A**(43) Date of publication of application: **15 . 07 . 94**

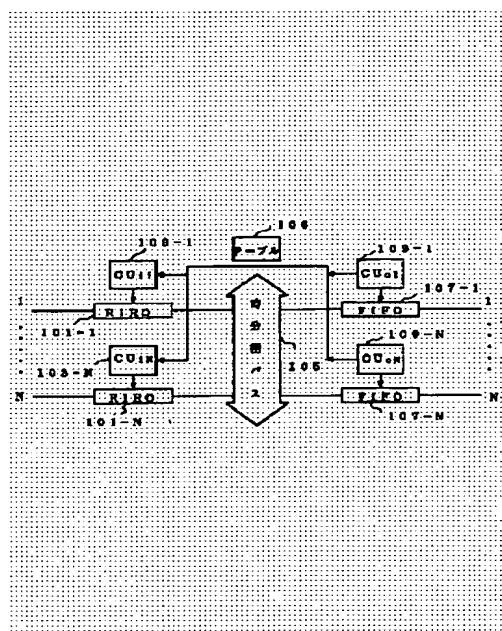
(51) Int. Cl.

**H04L 12/56**(21) Application number: **04345020**(71) Applicant: **NEC CORP**(22) Date of filing: **25 . 12 . 92**(72) Inventor: **HAN ZUISETSU****(54) PACKET SWITCHING SYSTEM****(57) Abstract:**

**PURPOSE:** To provide a packet exchange system in which it is possible to facilitate a countermeasure to traffic such as multi-cast with prescribed small buffer amounts and a low access speed to a buffer, and a high throughput can be obtained for the arbitrary traffic, in a packet switch.

**CONSTITUTION:** An input buffer control unit 103 stores the packet individually inputted from each input port in the empty place of an RIFO input buffer 101. The input buffer control unit decides which packet is outputted to the next time slot based on a table 106 indicating the empty state of the output buffer transferred from an output buffer control unit 109, and selects one packet from among the packets to be transferred according to a priority order. The selected packet is outputted through a time-division bus 105 to a prescribed output buffer based on the output address information of the packet.

COPYRIGHT: (C)1994,JPO&amp;Japio


**Best Available Copy**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-197128

(43) 公開日 平成6年(1994)7月15日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/56		8529-5K	H 0 4 L 11/20	1 0 2 A

審査請求 有 請求項の数 3 (全 5 頁)

(21) 出願番号 特願平4-345020

(22) 出願日 平成4年(1992)12月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 樊 瑞雪

東京都港区芝五丁目7番1号 日本電気株式会社内

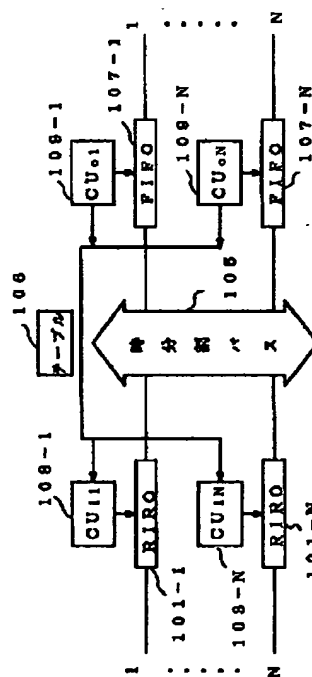
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 バケット交換方式

(57) 【要約】

【目的】 バケットスイッチにおいて、所要バッファ量が小さく、バッファへのアクセス速度が低く、しかもマルチキャストのようなトラヒックに対して簡単に処理でき、任意のトラヒックに対しても高スループットが得られるようなバケット交換方式を提供する。

【構成】 入力バッファ制御ユニット103は独立に各入力ポートから入力されたバケットをR I R O入力バッファ101の空き場所に蓄積する。入力バッファ制御ユニットは、次のタイムスロットにどのバケットを出力すべきかを出力バッファ制御ユニット109から転送してきた出力バッファの空き状態を表すテーブル106に基づき決める。転送できるバケットの中から優先順位により1個選択して出力する。選択されたバケットは時分割バス105を経てバケットの出力アドレス情報に基づき所望な出力バッファに出力する。



1

## 【特許請求の範囲】

【請求項1】複数の入力ポートに対応して設置されている入力バッファと、複数の出力ポートに対応して設置されている出力バッファを有し、前記出力ポートに対応する各出力バッファは同時にN(N:入力ポート数)個のバケットを前記複数の入力バッファから受信できるバケット交換方式において、

前記複数の入力ポートから入力されたバケットを前記複数の入力ポートに対応して設置されている入力バッファに入力し、前記入力バッファからバケットを出力するとき、前記出力バッファの空きスペースが $k1$  ( $1 \leq k1 \leq$  入力ポート数) バケット分以上であれば、その出力ポートへ行くバケットが出力できるとし、出力できる複数のバケットの中から一つ選択して出力し、選択されたバケットをそのバケットの出力アドレス情報にもとづき出力バッファに入力し、前記出力バッファから出力ポートに出力することを特徴とするバケット交換方式。

【請求項2】出力バッファの空きスペースが $k1$  バケット分以上であれば、マルチキャスト通信バケットを出力し、出力バッファの空きスペースが $k2$  ( $k1 < k2$ ) バケット分以上であれば、1対1通信バケットを出力することを特徴とする請求項1記載のバケット交換方式。

【請求項3】前記出力ポートに優先クラストラヒック専用の出力バッファを設置し、優先クラストラヒックのバケットを優先的に前記専用出力バッファに入力し、出力バッファからバケットを出力するとき、優先クラストラヒックのバケットを優先的に出力することを特徴とする請求項1または2記載のバケット交換方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、任意な特性をもつトラヒックを扱うバケット交換方式において、理想的なパフォーマンスに近い特性を得る交換方式の構成に関するものである。

## 【0002】

【従来の技術】いままで提案されているバケット交換方式をバッファ配置の立場から分類すると、共有バッファ形(H. Kuwahara et. al.: "A Shared Buffer Memory Switch for an ATM Exchange", Proc. ICC' 89, pp. 122-125 (1984))、出力バッファ形(H. Suzuki, et. al.: "Output-Buffer Switch Architecture for Asynchronous Transfer Mode," Int. J. Digital and Analog Cable Systems, Vol. 2, pp. 269-276 (1989))、クロスポイントバッファ形(Y. Kato et. al.: "A Development of a High Speed ATM Switch

2

hing LSIC", ICC' 90, pp. 310. 3. 1-310. 3. 5 (1990))、入力バッファ形(M. Akata et. al.: "A Scheduling Content-Addressable Memory for ATM Space-Division Switch Control", ISSCC' 90, pp. 244-245 (1991))および入、出力バッファ形交換方式(Yukihiro Doi et. al.: "A Very High-Speed ATM Switch with Input and Output Buffers", ISS' 92, pp. 231-235 (1992))がある。

【0003】共有バッファ形交換方式においては、所要バッファ容量が一番少ないが、バッファへのアクセス速度が高速(入力ポートの速度×入力ポート数×2)であり、大容量の高速バッファを実装するのが困難である。

【0004】出力バッファ形交換方式においては、マルチキャストのようなトラヒックを処理するのが簡単であり、出力バッファへのアクセス速度が共有バッファの約半分であるが、所要バッファ容量が共有バッファ形方式より数倍多いので、このような高速の大容量バッファを実装するのは難しい。

【0005】クロスポイントバッファ形交換方式においては、バッファへのアクセス速度が一番小さいが、トラヒックの偏りなどのような特性から所要バッファの容量が膨大になってしまう。

【0006】入力バッファ形交換方式においては、高スループットを得るのに複雑なスケジューリングを高速的に行う必要がある。

【0007】入、出力バッファ形交換方式においては、やはり高速的にスケジューリングを行う必要があり、特に、マルチキャストの様なトラヒックに対してスケジューリングが複雑になり、しかも出力側の出力バッファの容量も出力バッファ形交換方式と同じく大きい。

## 【0008】

【発明が解決しようとする課題】以上述べた各交換方式は、ランダムのようなトラヒックに対しては、いまの技術で実装できる。しかし、バースト性の強いトラヒックに対しては、高スループットを得るには大容量のバッファが不可欠であるという欠点がある。また、マルチキャストのようなトラヒックをも簡単に処理することが望まれている。

【0009】本発明の目的は、このような従来方式の欠点を改善して、バッファ量が小さく、スケジューリングが簡単であり、しかもマルチキャストのようなトラヒックに対して簡単に処理でき、任意のトラヒックに対して高スループットが得られるようなバケット交換方式を提供することにある。

## 【0010】

【課題を解決するための手段】本発明は、複数の入力ポ

ートに対応して設置されている入力バッファと、複数の出力ポートに対応して設置されている出力バッファを有し、前記出力ポートに対応する各出力バッファは同時にN(N:入力ポート数)個のケットを前記複数の入力バッファから受信できるケット交換方式において、前記複数の入力ポートから入力されたケットを前記複数の入力ポートに対応して設置されている入力バッファに入力し、前記入力バッファからケットを出力するとき、前記出力バッファの空きスペースが $k1$  ( $1 \leq k1 \leq$ 入力ポート数)ケット分以上であれば、その出力ポートへ行くケットが出力できるとし、出力できる複数のケットの中から一つ選択して出力し、選択されたケットをそのケットの出力アドレス情報にもとづき出力バッファに入力し、前記出力バッファから出力ポートに出力することを特徴とする。

【0011】

【実施例】実施例として $k1=N$ (N:入力ポート数)、 $k2=2N$ の場合、優先クラストラヒックをCBRとし、RIRO入力バッファ、FIFO出力バッファを有する交換方式を説明する。

【0012】図1に $N \times N$ のケットスイッチの全体構成例を示し、図2、図3にそれぞれRIRO入力バッファ101-1, ..., 101-Nを制御するユニット103-1, ..., 103-N、FIFO出力バッファ107-1, ..., 107-Nの構成例を表している。

【0013】出力バッファ107-1, ..., 107-Nは、図3に示すようにCBR専用、VBR専用のFIFOバッファ301, 302により構成される。第1番目のCBR専用、VBR専用の出力バッファの空きスペースをそれぞれ $X\_CBR(i)$ 、 $X\_VBR(i)$  ( $i=1, 2, \dots, N$ )とし、 $Td\_C\_M(i)$ は1番目の出力バッファがCBRのマルチキャストケットを受け入れるかどうかの状態を表す変数とし、 $Td\_C(i)$ はi番目出力バッファがCBRを、 $Td\_V\_M(i)$ はVBRのマルチキャストケットを、 $Td\_V(i)$ はVBRケットを受け入れるかどうかの状態を表す変数とすると、出力バッファ制御ユニット109-1, ..., 109-Nは以下の規則に従い出力バッファの空き状態を表す $Td\_C\_M(i)$ 、 $Td\_C(i)$ 、 $Td\_V\_M(i)$ 、 $Td\_V(i)$ からなるテーブル106を作り、全ての入力バッファ制御ユニットに同報する。

if ( $X\_CBR(i) \geq N$ )

$Td\_C\_M(i) = 0$  1番目の出力バッファがCBRのマルチキャストケットを受け入れる。

else  $Td\_C\_M(i) = 1$  1番目の出力バッファがCBRのマルチキャストケットを受け入れない。

if ( $X\_CBR(i) \geq 2N$ )

$Td\_C(i) = 0$  1番目の出力バッファがCBRパ 50

ケットを受け入れる。

else  $Td\_C(i) = 1$  1番目の出力バッファがCBRケットを受け入れない。

if ( $X\_VBR(i) \geq N$ )

$Td\_V\_M(i) = 0$  1番目の出力バッファがVBRのマルチキャストケットを受け入れる。

else  $Td\_V\_M(i) = 1$  1番目の出力バッファがVBRのマルチキャストケットを受け入れない。

10 if ( $X\_VBR(i) \geq 2N$ )

$Td\_V(i) = 0$  1番目の出力バッファがVBRケットを受け入れる。

else  $Td\_V(i) = 1$  1番目の出力バッファがVBRケットを受け入れない。

【0014】各入力バッファ制御ユニット103-1, ..., 103-Nは、図2に示すように、入力ポートから入力されたケットをアイドルアドレスキュー201の先頭にあるアイドルアドレスを番込アドレス208として入力バッファに送り、その番込アドレス208がさしているRIRO入力バッファの対応場所にケットを蓄積する。その番込アドレスをこのケットの特性(CBR, VBRまたはVBRマルチキャスト)と到着ケット識別信号207に従い、対応のアドレス管理キュー202, 203, 204, 205に入力する。ここに、202はCBRケットのアドレスを管理するキュー、203はVBRマルチキャストケットのアドレスを管理するキュー、204, 205はVBRケットのアドレスを管理するキューである。

【0015】選択回路206は、次のタイムスロットにどのケットを出力すべきかを出力バッファ制御ユニット109-1, ..., 109-Nから転送してきたテーブル106に基づき決める。選択回路206は、各アドレス管理キューの先頭にあるアドレスが指しているケットの特性およびこのケットの出力アドレス情報と、出力バッファの空き状態を表すテーブル106を比較し、転送できるケットのアドレスの中から優先順位により1個選択して読み出しアドレス209としてRIRO入力バッファに出力する。出力バッファは1ケット時間N(N:入力ポート数)個のケットを同時に受信でき、かつ空きケット数がN以上あるので、各入力ポートのケット読み出し動作は、他の入力ポートの動作とは独立に行える。優先順位の一例としては、CBRケットのアドレスが最優先に、マルチキャストケットのアドレスが次優先に、VBRケットのアドレスが最後に選ばれる。

【0016】次のタイムスロットにおいて、RIROバッファは選ばれたアドレスが指しているケットを出力し、選択回路206はこのアドレスをアイドルアドレスキュー201に入力する。

【0017】RIRO入力バッファから入力されたパケ

5

ットは、このバケットの特性と出力アドレス情報に基づき、時分割バス105を通して所望の出力バッファに入力する。出力バッファからバケットを出力するとき、CBRバケットを優先的に出力する。

【0018】以上のように、本実施例によれば、入力バッファ制御ユニット103-1, ..., 103-Nは独立に各入力ポートから入力されたバケットをR I R O入力バッファ101-1, ..., 101-Nの空き場所に蓄積し、CBRバケット、VBRマルチキャストバケットおよびVBRバケット別にバケットを管理する。VBRバケットについては、行き先別にバケットを管理する。入力バッファ制御ユニットは、次のタイムスロットにどのバケットを出力すべきかを出力バッファ制御ユニット109-1, ..., 109-Nから転送してきた出力バッファの空き状態を表すテーブル106にもとづき決める。転送できるバケットの中から優先順位により1個選択して出力する。選択されたバケットは時分割バス105を経て該バケットの出力アドレス状態にもとづき所望な出力バッファに出力する。出力バッファ107-1, ..., 107-Nからバケットを出力するとき、CBRバケッ

トが優先的に出力される。

【0019】以上、本発明の実施例を説明したが、各出力バッファにおいて、1個のバッファでも上記機能を実現できるし、入力バッファ制御ユニットは複数のVBRバケットクラスに対しても、クラス別のアドレス管理キューを設けることと、出力バッファの空き状態を各クラスに対応して設定することにより、多彩なサービス品質を満たすことができる。

【0020】

【発明の効果】以上に説明したとおり、本発明によれば、出力ポートに小さい容量の出力バッファを設置することにより、どのバケットを選択して出力するかのようなスケジューリングを、各入力ポートで独立に低速度に

6

行うことができ、低速の入力バッファを配置することにより、大容量の入力バッファを実装しやすくなり、所要バッファ容量を小さくすることができ、制御を簡単かつ容易に行うことができ、しかもマルチキャストのようなトラヒックを簡単に処理し、任意のトラヒックに対しても高スループットを得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の全体構成を説明するためのブロック図である。

【図2】入力バッファを制御する入力バッファ制御ユニットの一構成例を説明するためのブロック図である。

【図3】出力バッファの一構成例を説明するためのブロック図である。

【符号の説明】

101 R I R O入力バッファ

103 入力バッファ制御ユニット

105 時分割バス

106 出力バッファの空き状態を表すテーブル

107 F I F O出力バッファ

109 出力バッファ制御ユニット

201 アイドルアドレスキュー

202 CBRバケットのアドレスを管理するキュー

203 VBRマルチキャストバケットのアドレスを管理するキュー

204, 205 VBRバケットのアドレスを管理するキュー

206 選択回路

207 到着バケット識別信号

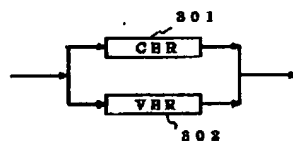
208 R I R O入力バッファへの新しく到着したバケットの書き込みアドレス

209 R I R O入力バッファからの読み出しアドレス

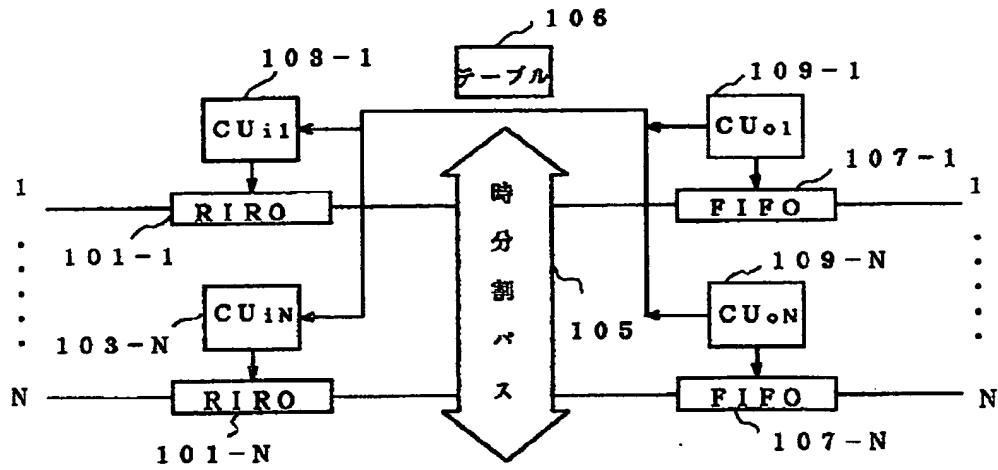
301 CBR専用F I F O出力バッファ

302 VBR専用F I F O出力バッファ

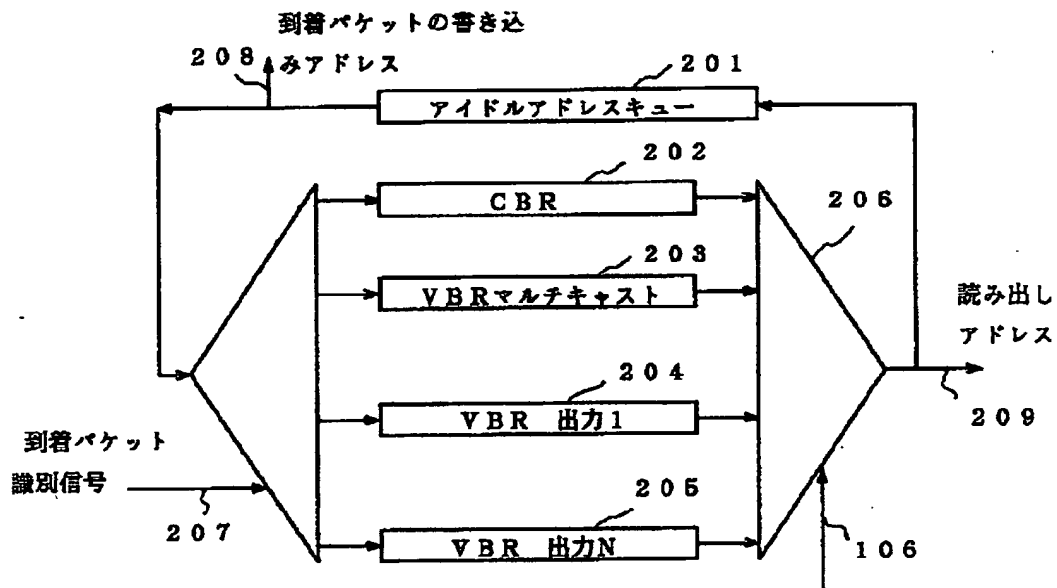
【図3】



【図1】



【図2】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**